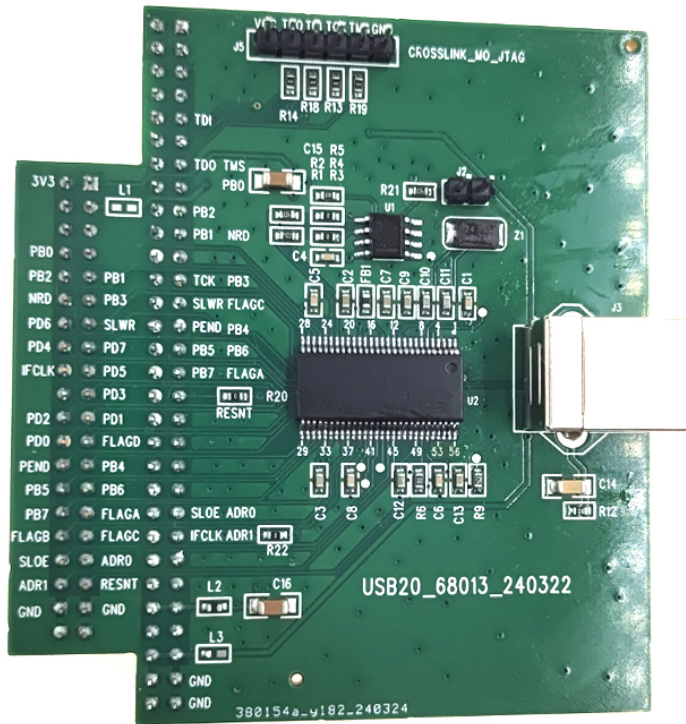


## USB2.0 68013A 说明书



## 技术支持与反馈

深圳市飞录科技有限公司提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.szfpga.com](http://www.szfpga.com)

E-mail: [support@szfpga.com](mailto:support@szfpga.com)

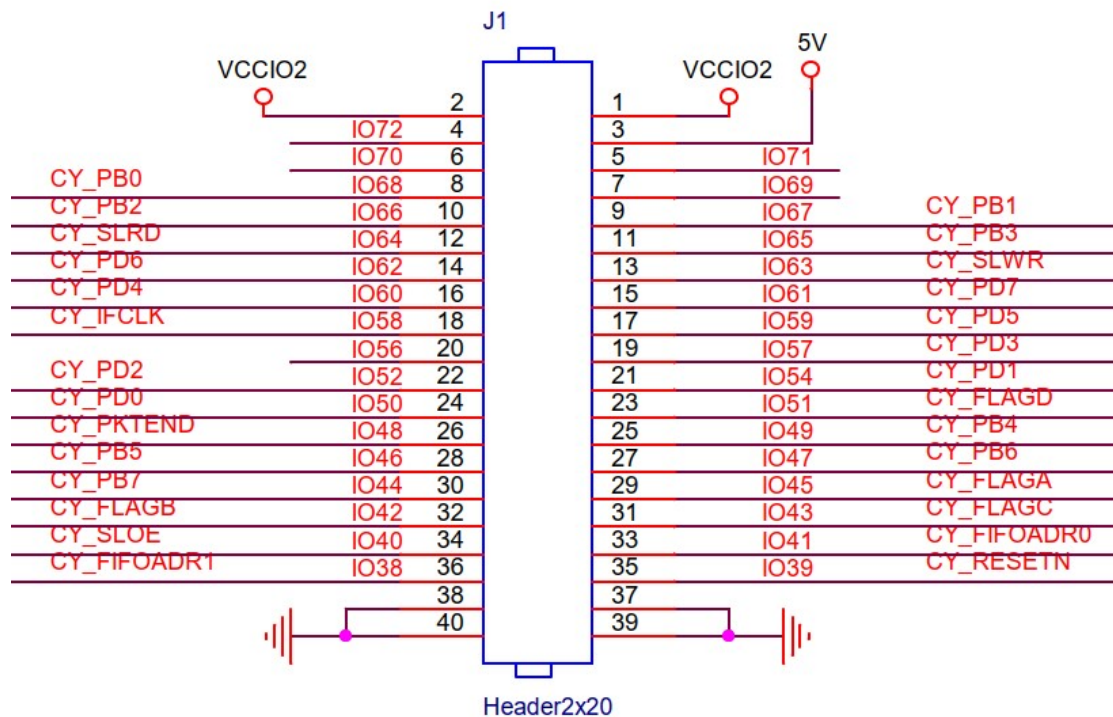
目录

1. 产品概述.....	3
2. 资料文档.....	7
2. 硬件操作.....	8
4. 驱动安装.....	12
5. 软件测试.....	13

# 1. 产品概述

USB2.0 68013A 配套板是用于 GOWIN NR-9 和 Crosslink 的开发板配套的 USB2.0 板子。支持 8、16 位的 Slave FIFO BULK 传输操作。其中 2 和 4 端点是输出，6 和 8 端点是输入。驱动支持 windows7 和 windows10，是带数字签名驱动。软件支持 loop 循环输入和输出功能。包含 FPGA 和固件，VC++源码。

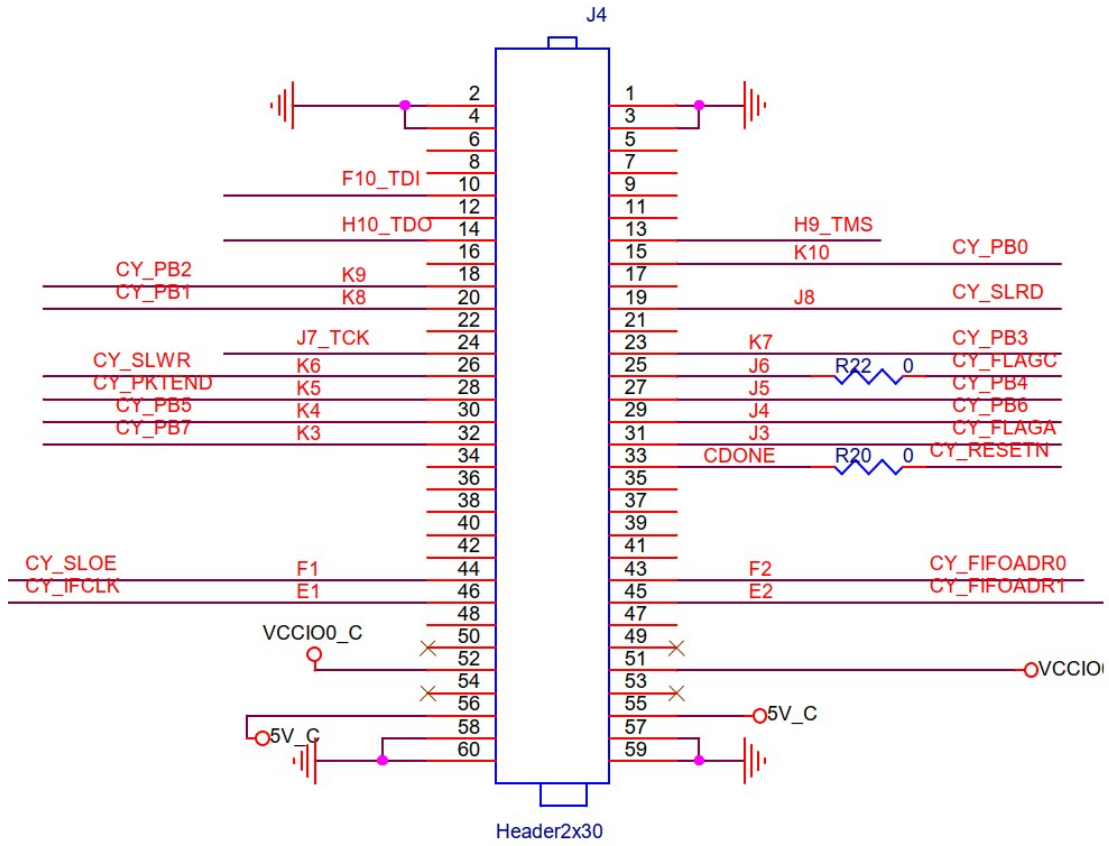
这是连接 NR9C 开发板和 2AR-18 的开发板的连接引脚示意图。



引脚	功能	FPGA 引脚	说明	引脚	功能	FPGA 引脚	说明
2	VCCIO2		接 3.3V	1	VCCIO2		接 3.3V
4	NC			3	5V		不接
6	NC			5	NC		
8	PB0	68	数据总线 0	7	NC		
10	PB2	66	数据总线 2	9	PB1	67	数据总线 1
12	SLRD	64	FIFO 的 RD 信号，低电平有效	11	PB3	65	数据总线 3
14	PD6	62	数据总线，对于 16 位，是 6+8，第 14 位	13	SLWR	63	FIFO 的 WR 信号，低电平有效

16	PD4	60	数据总线, 对于 16 位, 是 4+8, 第 12 位	15	PD7	61	数据总线, 对于 16 位, 是 7+8, 第 15 位
18	IFCLK	58	FIFO 时钟, 持续 48MHZ	17	PD5	59	数据总线, 对于 16 位, 是 5+8, 第 13 位
20	NC	NC		19	PD3	57	数据总线, 对于 16 位, 是 3+8, 第 11 位
22	PD2		数据总线, 对于 16 位, 是 2+8, 第 10 位	21	PD1	54	数据总线, 对于 16 位, 是 1+8, 第 9 位
24	PD0		数据总线, 对于 16 位, 是 0+8, 第 8 位	23	FLAGD	51	FIFO 空或者满的信号位
26	PKEND		不满长度, 发送该信号, 低电平有效	25	PB4	49	数据总线 4
28	PB5		数据总线 5	27	PB6	47	数据总线 6
30	PB7		数据总线 7	29	FLAGA	45	FIFO 空或者满的信号位
32	FLAGB		FIFO 空或者满的信号位	31	FLAGC	43	FIFO 空或者满的信号位
34	SLOE		FIFO 的 OE 信号, 总线输出数据, 低电平有效	33	FIFOADR0	41	选择 FIFO 端点 2,4, 6, 8
36	FIFOADR1		选择 FIFO 端点 2,4, 6, 8	35	RESETN	39	复位芯片
38,40	GND	GND		37,39	GND		GND

这是 CROSSLINK 的板子转接板, 由于 CROSSLINK 引脚数量限制, 所以没有引入 16 位。

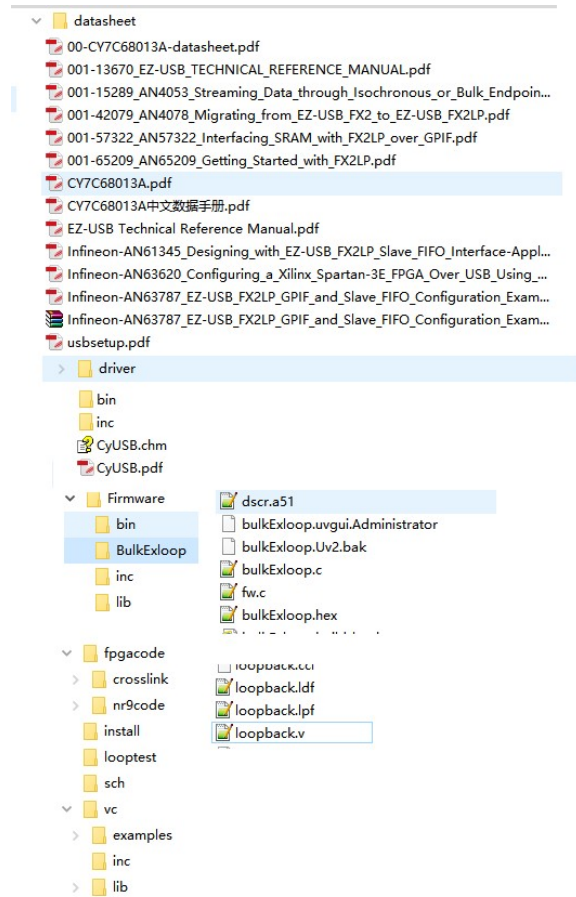


引脚	功能	FPGA 引脚	说明	引脚	功能	FPGA 引脚	说明
2	GND			1	GND		
4	GND			3	GND		
6	NC			5	NC		
8	NC			7	NC		
10	TDI	F10	模拟的 JTAG 的 TDI	9	NC		
12	NC			11	NC		
14	TDO	H10	模拟的 JTAG 的 TDO	13	TMS	H9	模拟 JTAG 的 TMS
16	NC			15	PB0	K10	数据总线第 0 位
18	PB2	K9	数据总线 2	17	NC		
20	PB1	K8	数据总线 1	19	SLRD	J8	FIFO 的 RD 信号，低电平有效
22	NC			21	NC		
24	TCK	J7	模拟 JTAG 的 TCK	23	PB3	K7	数据总线 3
26	SLWR	K6	FIFO WR 写入信号，低电平有效	25	FLAGC	J6	FIFO 满或者空有效信号
28	PKEND	K5	不满长度，发送该信号，低电平有效	27	PB4	J5	数据总线 4

30	PB5	K4	数据总线 5	29	PB6	J4	数据总线 6
32	PB7	K3	数据总线 7	31	FLAGA	J3	FIFO 空或者满的信号位
34	NC			33	RESETN	J2	复位芯片
36-42	NC			35-41	NC		
44	SLOE	F1	FIFO 的 OE 信号, 总线输出数据, 低电平有	43	FIFOADR0	F2	选择 FIFO 端点 2,4, 6, 8
46	IFCLK	E1	FIFO 时钟, 持续 48MHZ	45	FIFOADR1	E2	选择 FIFO 端点 2,4, 6, 8
48-50	NC			47-49	NC		
52	VCCIO	3.3V		51	VCCIO	3.3V	
54	NC			53	NC		
56	5V			55	5V		
58-60	GND			57-59	GND		

## 2. 资料文档

包含 NR-9 和 CROSSLINK 的工程，以及 68013 的固件，上位机的 VC 代码。

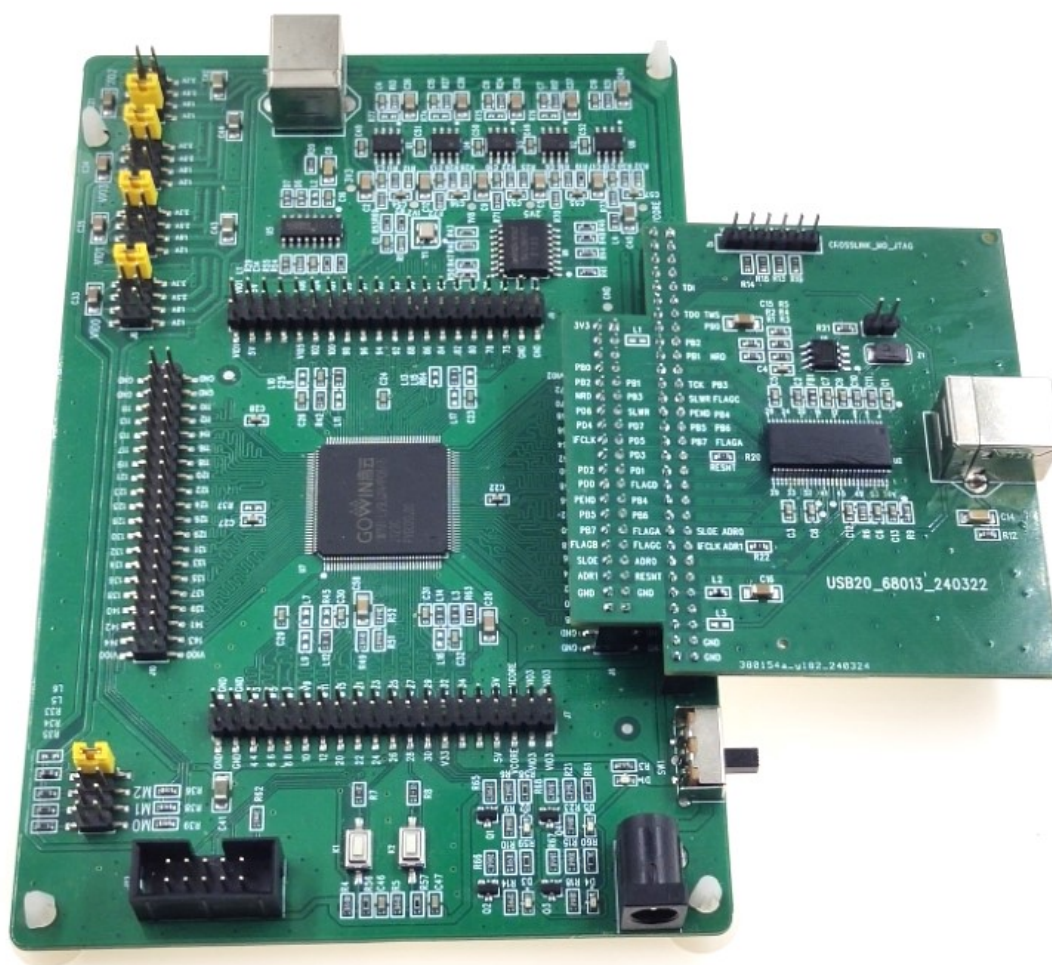


## 2. 硬件操作

首先配套模块是已经下载后固件代码。要断开 J2 引脚。

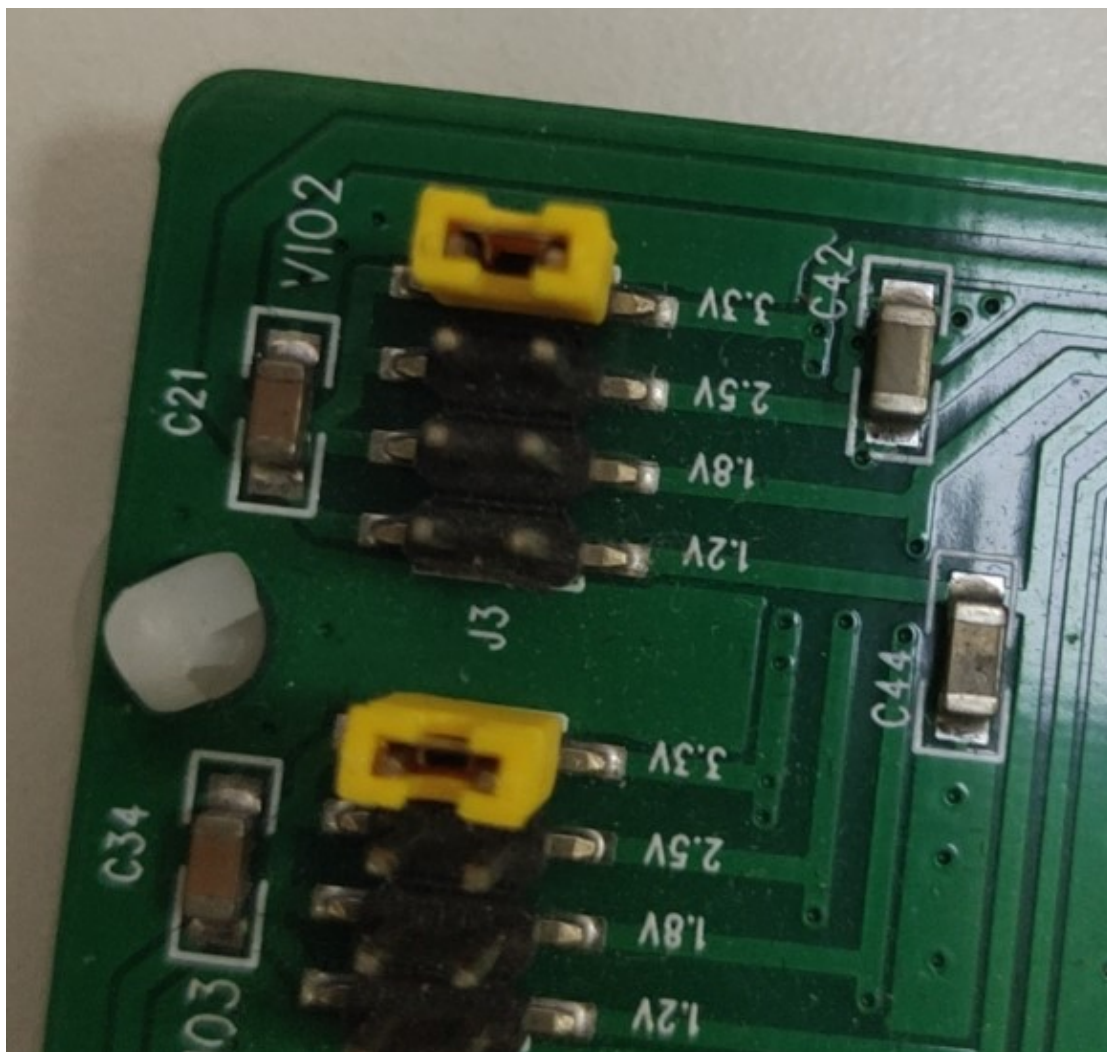
对于 NR-9 开发板，

1) 断电，对接好开发板。保持引脚一致性。如下图所示，连接好配套板 USB20。NR-9 在 VIO2 区。

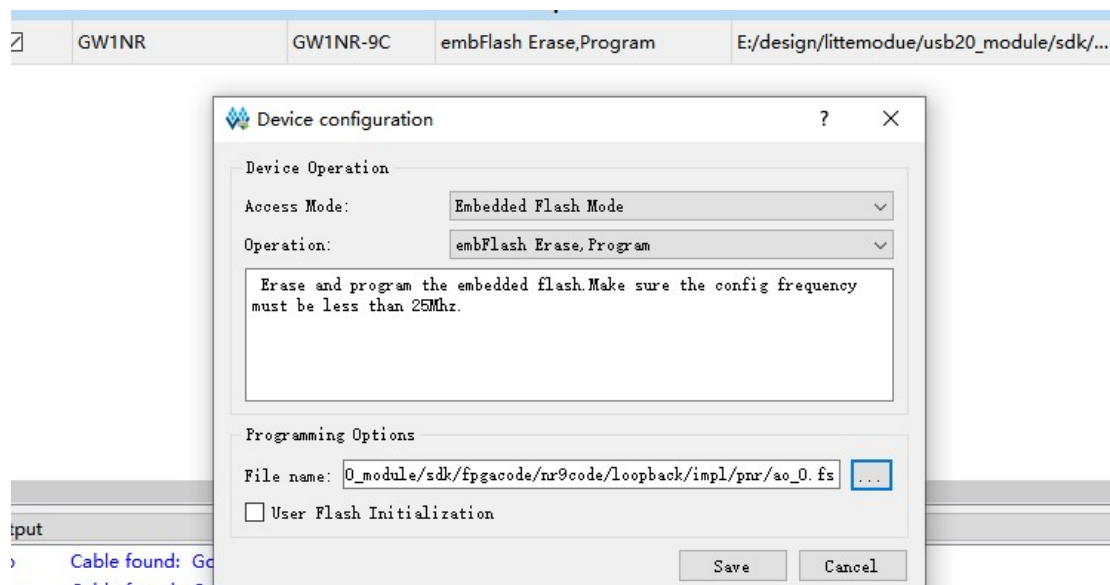


2) 设定 NR-9 的 VIO2 电压为 3.3V。



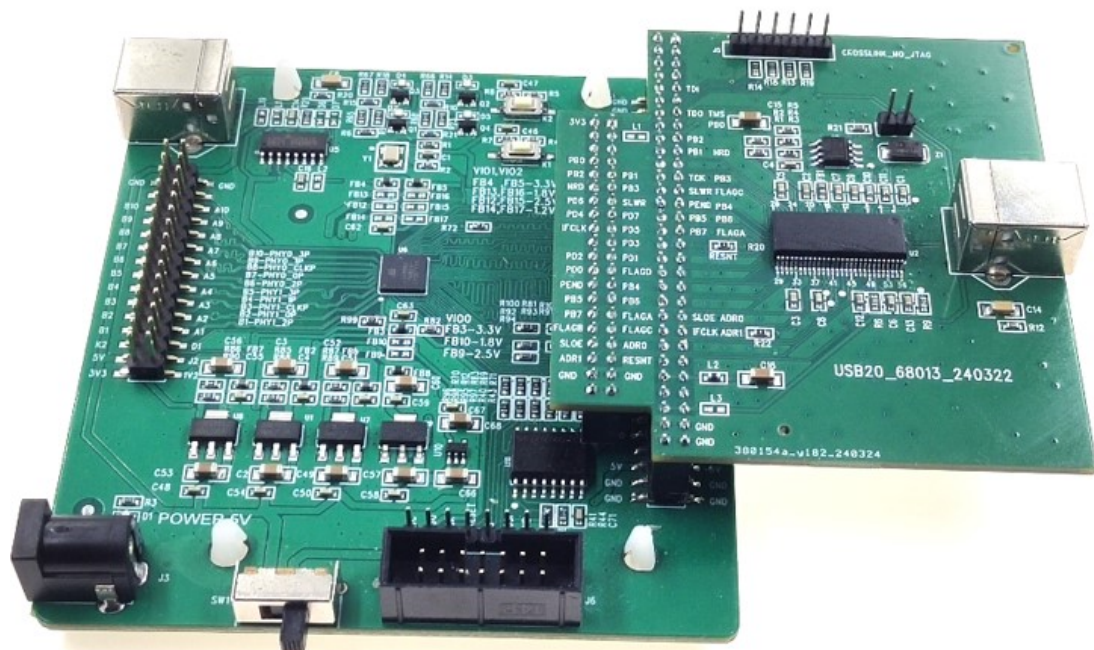


3) 连接好烧录器和电源，下载代码。

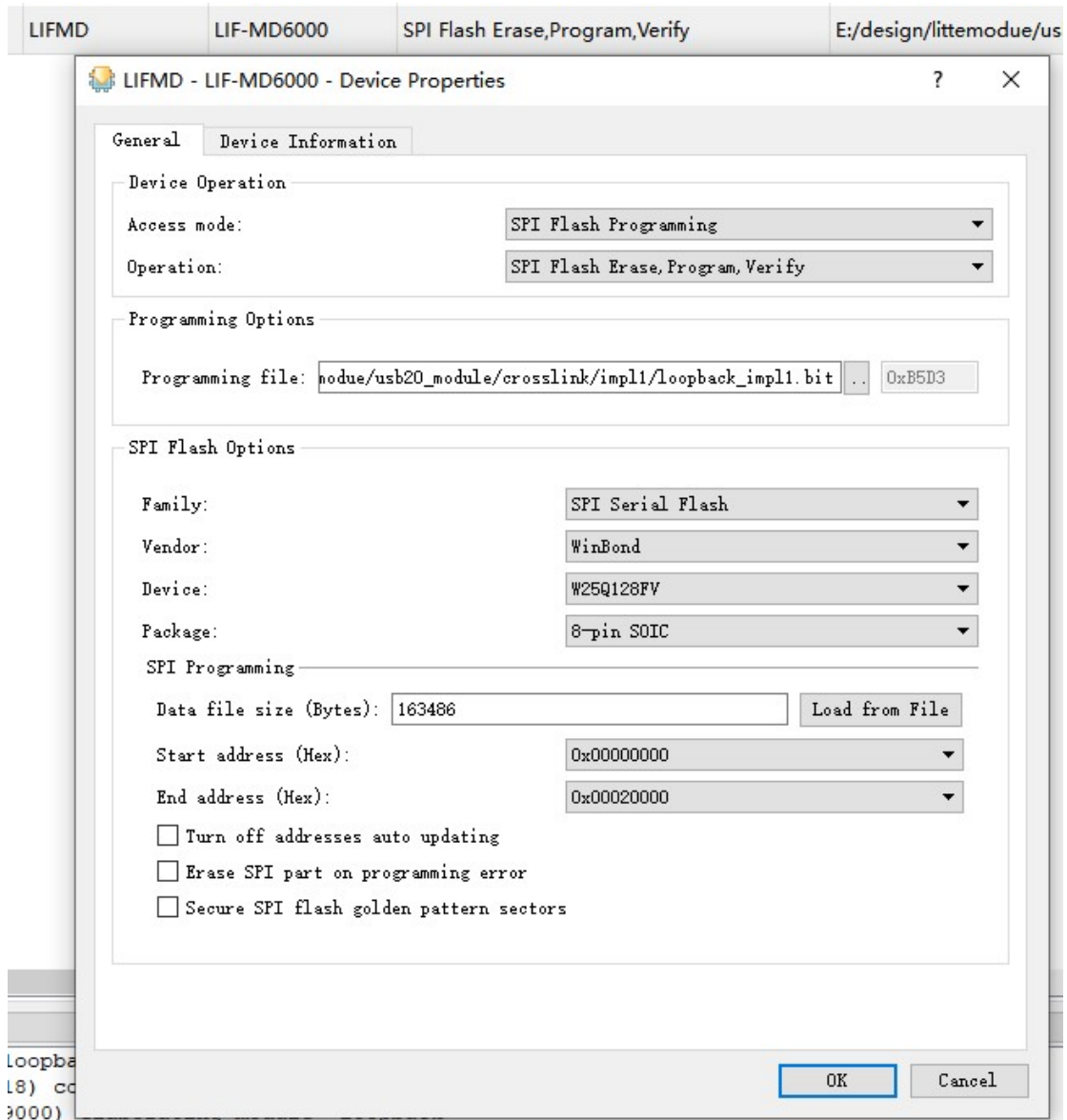


对于 Crosslink 开发板，

1) 断电，对接好开发板。保持引脚一致性。如下图所示，连接好配套板 USB20。选择长条区域插入板子。

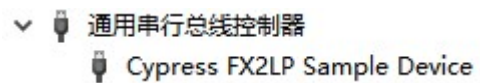


2) 连接好烧录器和电源，下载代码。放在配置的 Flash 中。



## 4. 驱动安装

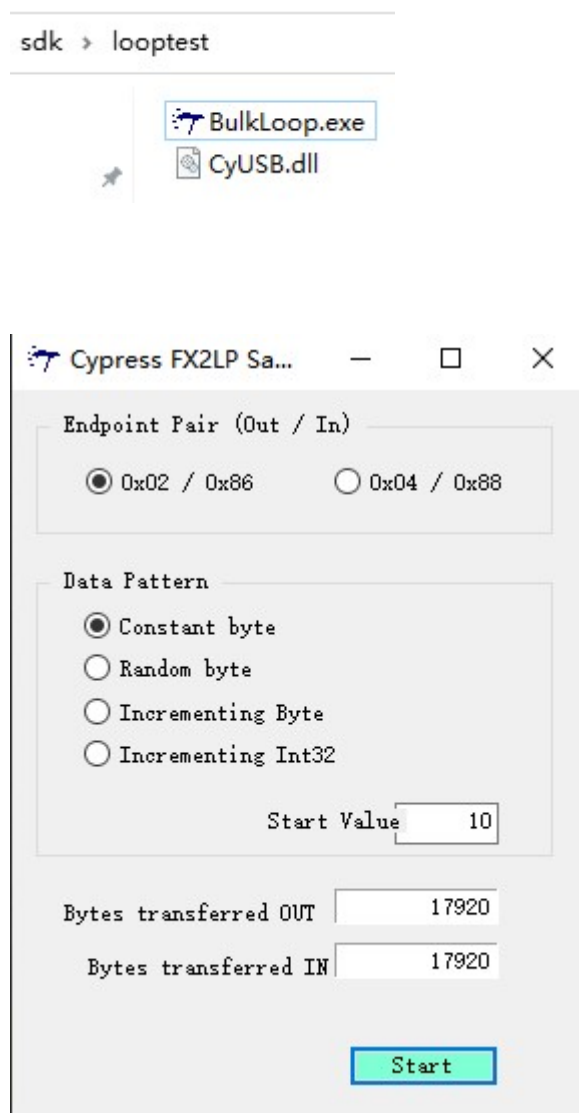
对于 Windows10，驱动目录在 `sdk\driver\bin\Win10\x64` 中。安装完成，驱动会显示



如果出现 No eeprom，请拔掉 J2 短接帽。

## 5. 软件测试

打开目录 sdk\looptest 下，BulkLoop 软件，测试循环内容。



点击 Start 开始测试。可以切换端点测试。